

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭58—116573

⑪ Int. Cl.<sup>3</sup>  
G 09 F 9/30  
G 02 F 1/133

識別記号

庁内整理番号  
7520—5C  
7348—2H

⑬ 公開 昭和58年(1983)7月11日

発明の数 1  
審査請求 未請求

(全 3 頁)

⑭ マトリックス表示装置の製造方法

① 特 願 昭56—212961

② 出 願 昭56(1981)12月29日

③ 発 明 者 小平寿源

諏訪市大和3丁目3番5号株式

会社諏訪精工舎内

④ 出 願 人 株式会社諏訪精工舎

東京都中央区銀座4丁目3番4号

⑤ 代 理 人 弁理士 最上務

明 細 書

1. 発明の名称 マトリックス表示装置の製造方法

2. 特許請求の範囲

(1) 複数の列電極線と、該列電極線と交差する複数の行電極線、及び前記列電極線と該行電極線との交差点に接続するスイッチング素子とを、同一基板上に構成してなるマトリックス表示装置において、前記列電極線及び行電極線を該基板上に構成する工程においては、該電極線はすべて該基板周辺で絶縁接続されており、該基板の完成時に、上記列電極線及び行電極線を個々に切りはなす事を特徴とするマトリックス表示装置の製造方法。

3. 発明の詳細を説明

本発明は大容量マトリックスアレーを用いた表示装置の製造方法に関するものであり、特に、静

電気によるマトリックスアレーの製造歩留り低下を防止した、マトリックスアレー表示装置の製造方法に関するものである。

近年平面形表示装置の大容量化が急速に進み、液晶を用いたもの、エレクトロルミネッセンスによるもの、プラズマによるもの等、100行×100列以上の大容量のものが発表されている。

この様な大容量の平面ディスプレイでは、複数の列電極線と、複数の行電極線とを互いに直交して構成し、各々の列電極線と行電極線との交差点にスイッチング素子を設ける方法が一般的である。従来におけるこのタイプの表示装置の1例を示したものが第1図である。a<sub>1</sub>～a<sub>n</sub>が列電極線であり、b<sub>1</sub>～b<sub>m</sub>が行電極線である。又、各々の交差点にo<sub>11</sub>, o<sub>12</sub>, o<sub>13</sub>, …… のスイッチング素子が接続されている。これを一方の基板上に構成し、別のガラス板の主表面には全面に透明電極をカバーし、該板とガラス板とを平行対立させ、間に液晶を封入する事により液晶表示装置となる。ところが第1図の様に各電極線が互いに独立している場合マトリックス

アレー基板は静電気に非常に弱い。各電極線の端子は外部への配線の取り出し口として、表示に用いる範囲外へ長く延長させ、しかもその部分の面積を大きく取ってある為に、静電気にさらされ易い。さらにスイッチング素子 $c_1, c_2, c_3, \dots$ にMOS型電界効果形トランジスタを用いてある場合、非常に静電気に弱いものであり、特に、ガラス板上に第1図のごときマトリックスアレーを構成した場合各電極線の端子部に静電保護用の抵抗、ダクトード等を構成する事は不可能であり、静電気を十分配慮した工程を用いて基板の製造を行なわなければ十分な歩留りをもって基板を作る事はむずかしい。

本発明は以上の様な欠点を除去したものでありアレー基板上のパターンによって、基板の製造上静電的に全く問題の無い構造にしたものである。

第2図は本発明を実施した場合のマトリックスアレー基板の構成例を示したものであり、 $a_1 \sim a_4$ は列電極線、 $b_1 \sim b_4$ は行電極線であって、 $c_1, c_2, \dots$ は各電極線の交差点に設けるスイッチング

であって、一部は絶縁膜を介して薄膜トランジスタ部材と重なっており、トランジスタのゲート電極となっている。この行電極線は基板の周辺において、他の行電極線と第2図のB、C、D、E、F、G、Hの切り放しを行なう。これは基板以上本発明によれば、各電極線の形成と同時にすべての電極線間はすべて短絡されさらに、行電極線と列電極線間をも短絡してしまふ為に、後工程においてどの様な静電気にさらされても素子の破壊を防ぐ事が可能となるものである。

素子である。本発明においては、 $a_1 \sim a_4$ の列電極線はすべて端子部において、図中A及びDのごとく短絡されており、又行電極線 $b_1 \sim b_4$ もすべて端子部において、図中のB及びCにより短絡されている。これら短絡に用いる部材としては、電極部材と同一である場合が最も簡単であり、A及びDは列電極線 $a_1 \sim a_4$ と、又B及びCは行電極線 $b_1 \sim b_4$ と、それぞれ同一の部材を用い、各電極線を構成する時に同じに作り込めば良い。さらに、短絡された端子間は、図中破線で示された様に、A-B間はE、A-C間はF、B-D間はH、C-D間はGでそれぞれ接続すれば、すべての電極線は短絡状態になるので、静電気にアレー基板がさらされても、マトリックスアレー内はいかなる所で同電位であるので、スイッチング素子 $c_1, c_2, \dots$ は静電気により破壊される事は無い。

本発明の具体的な製造方法に言及すると、まず用いる画素例を第3図に示されたものとする。1は多結晶シリコンを用いた薄膜トランジスタ部材であり、2は多結晶シリコンを用いた行電極線

る。この後場合によっては偏光板の貼り付けを行なった後、外部配線の取り出しを行なうので、この時点で周辺の短絡部分、A、B、C、D、E、F、G、Hの切り放しを行なう。これは基板以上本発明によれば、各電極線の形成と同時にすべての電極線間はすべて短絡されさらに、行電極線と列電極線間をも短絡してしまふ為に、後工程においてどの様な静電気にさらされても素子の破壊を防ぐ事が可能となるものである。

#### 4. 図面の簡単な説明

第1図は従来におけるマトリックスアレーの構成例を示したものであり、第2図は本発明を実施したマトリックスアレーの構成例を示したものである。第3図は画素の1例を示したものである。

$a_1 \sim a_4 \dots \dots \dots$  列電極線  
 $b_1 \sim b_4 \dots \dots \dots$  行電極線  
 $c_1 \sim c_4 \dots \dots \dots$  スwitching素子  
A, B, C, D, E, F, G, H  $\dots \dots \dots$  短絡線  
1  $\dots \dots \dots$  薄膜トランジスタ



昭 60 1.10 発行

特許法第17条の2の規定による補正の掲載

昭和 56 年特許願第 212961 号(特開昭  
58-116573 号 昭和 58 年 7 月 11 日  
発行 公開特許公報 58-1166 号掲載)につ  
いては特許法第17条の2の規定による補正があっ  
たので下記のとおり掲載する。 6(2)

Int. Cl.	識別記号	庁内整理番号
G09F 9/30		6615-5C
G02F 1/133		7348-2H

手 続 補 正 書 (自 発)

昭和 59 年 7 月 27 日

特許庁長官 殿

1. 事件の表示

昭和 56 年特許願第 212961 号

2. 発明の名称

マトリックス表示装置の製造方法

3. 補正をする者

事件との関係 出願人

東京都新宿区西新宿 2 丁目 4 番 1 号  
(256) 株式会社 藤 田 精 工 会  
代表取締役 中 村 恒 也

4. 代 理 人

〒104 東京都中央区京橋 3 丁目 6 番 21 号  
株式会社 星 野 セイコー 内 最上特許事務所  
(4664) 弁護士 最 上 務  
連絡先 563-2111 内線 221-6 担当 林

5. 補正により増加する発明の数

0

6. 補正の対象

明 細 書

7. 補正の内容

別紙の通り

方式 (出 願)

手 続 補 正 書

1. 特許請求の範囲を別紙の如く補正する。
2. 明細書中、3 頁下から 3 行目「a<sub>1</sub> ~ b。」とあるを「a<sub>1</sub> ~ a。」に補正する。
3. 同、3 頁下から 2 行目「b ~ b」 とあるを「b<sub>1</sub> ~ b。」に補正する。

以 上

代理人 最 上 務

特許請求の範囲

「(II) 複数本の列電極線と、該列電極線と交差する複数本の行電極線、及び前記列電極線と該行電極線との交差点に接続するスイッチング素子とを、同一基板上に構成してなるマトリックス表示装置において、前記列電極線及び行電極線を該基板上に構成する工程においては、該電極線はすべて該基板周辺で短絡接続されており、該基板の完成時に、上記列電極線及び行電極線を個々に切りはなす事の特徴とするマトリックス表示装置の製造方法。」